

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-036078

(43)Date of publication of application : 09.02.2001

(51)Int.Cl.

H01L 29/78

H01L 21/316

H01L 29/786

H01L 21/336

(21)Application number : 11-207898

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 22.07.1999

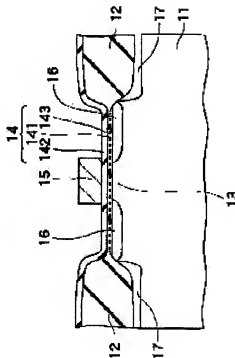
(72)Inventor : KOBAYASHI YUKIHARU

(54) MOS-TYPE TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a MOS-type transistor, which has a high quality gate oxide film for eliminating characteristic instability of which the main cause is the defects in crystallinity of the gate oxide film, and its manufacture.

SOLUTION: A gate electrode 15 is formed on a prescribed channel region 13 on a substrate 11 of a monocrystal Si enclosed with an element isolation oxide film 12 via a gate oxide film 14 of a combination structure, and a source/ drain diffusion layer 16 is formed away from the channel region 13 on the both-side substrates 11. The gate oxide film 14 is structured by combining thermal oxide films 141, 143 and a CVD oxide film 142. After the thermal oxide film 141, succeedinglly the CVD oxide film 142 are generated, annealing is conducted in an N₂ atmosphere. Furthermore, thermal oxidation is made in a vapor atmosphere to form the thermal oxide film 143, and the annealing is performed again in the N₂ atmosphere.



LEGAL STATUS

[Date of request for examination]

11.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than withdrawal the examiner's decision of rejection or application converted registration]

[Date of final disposal for application] 30.05.2005

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl. ⁷	識別記号	F I	テームコード(参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G 5 F 0 4 0
21/316		21/316	S 5 F 0 5 8
			X 5 F 1 1 0
			M
			P

審査請求 未請求 請求項の数 7 O L (全 5 頁) 最終頁に続く

(21) 出願番号	特願平11-207898	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成11年7月22日(1999.7.22)	(72) 発明者	小林 幸春 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(74) 代理人	100093388 弁理士 鈴木 喜三郎 (外2名)

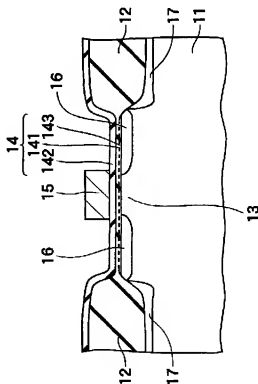
最終頁に続く

(54) 【発明の名称】 MOS型トランジスタ及びその製造方法

(57) 【要約】

【課題】 ゲート酸化膜の結晶性に関する欠陥が主原因の特性不安定性をなくす高品質のゲート酸化膜を有するMOS型トランジスタ及びその製造方法を提供する。

【解決手段】 素子分離酸化膜12に囲まれた半結晶Siの基板11上における所定のチャネル領域13上には組み合わせ構成のゲート酸化膜14を介してゲート電極15が形成され、その両側の基板11上にはチャネル領域13を隔ててソース/ドレイン拡散層16が形成されている。ゲート酸化膜14は熱酸化膜141、143とCVD酸化膜142の組み合わせで構成されている。熱酸化膜141、続いてCVD酸化膜142の生成後、N₂雰囲気中でアニール処理を行う。さらに、水蒸気雰囲気中で熱酸化を行って熱酸化膜143を形成し、再びN₂雰囲気中でアニール処理を行う。



【特許請求の範囲】

【請求項 1】 半導体部材に形成された所定のチャネル領域と、

前記チャネル領域を隔てて半導体部材に形成されたソース／ドレイン領域と、

前記チャネル領域に前記ソース／ドレイン領域とのチャネルを形成するための電圧が与えられるゲート電極と、前記ゲート電極と前記チャネル領域の間に形成されたゲート酸化膜と、を具備し、

前記ゲート酸化膜は、少なくとも熱酸化膜上に CVD 酸化膜が形成された組み合わせで構成されることを特徴とする MOS 型トランジスタ。

【請求項 2】 前記熱酸化膜は少なくとも 2 層が積層された構造からなることを特徴とする請求項 1 記載の MOS 型トランジスタ。

【請求項 3】 前記半導体部材は単結晶 Si 基板であることを特徴とする請求項 1 または 2 記載の MOS 型トランジスタ。

【請求項 4】 前記半導体部材は多結晶 Si でなるバルクであることを特徴とする請求項 1 または 2 記載の MOS 型トランジスタ。

【請求項 5】 前記半導体部材はアモルファス Si でなるバルクであることを特徴とする請求項 1 または 2 記載の MOS 型トランジスタ。

【請求項 6】 半導体部材に形成されたソース／ドレイン領域を導通させるチャネル領域とゲート電極との間に設けられるゲート酸化膜に関し、

600℃以上 900℃以下の条件下での CVD 酸化膜を形成する工程と、

前記 CVD 酸化膜形成後に行う、この CVD 酸化膜形成時よりも高温のアニール処理工程と、

水蒸気雰囲気中で熱酸化膜を形成する工程と、を具備したことを特徴とする MOS 型トランジスタの製造方法。

【請求項 7】 前記熱酸化膜を形成する工程は、前記 CVD 酸化膜形成の前と後にそれぞれ行われることを特徴とする請求項 6 記載の MOS 型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、微細化された絶縁ゲート型のトランジスタを含む半導体装置に係り、特にゲート酸化膜の改良を伴う MOS (Metal Oxide Semiconductor) 型トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】半導体集積回路の大規模集積化、縮小化が進み、かつ低電源電圧－昇圧電圧動作が要求される。これに伴ない、MOS 型トランジスタのゲート酸化膜は、高耐压性を維持しつつ薄酸化される必要がある。そのためには、ゲート酸化膜の結晶性を損なう欠陥があつ

てはならない。

【0003】従来の MOSFET (MOS 型電界効果トランジスタ) について、その製造方法を説明する。Si 基板上において、素子分離絶縁膜に囲まれた基板の所定領域にチャネルイオン注入を行う。その後、ゲート酸化膜を形成する。このゲート酸化膜は 850℃～1000℃程度の水蒸気雰囲気中で Si 基板表面を熱酸化し、その後、N₂ 雰囲気中でアニール処理することにより形成していた。このアニール処理で熱酸化膜の結晶性を良好にする。

【0004】次に、ゲート酸化膜上に周知のリソグラフィ技術及びエッチング技術を用いて所定のゲート電極をパターンニングする。その後、ソース／ドレイン拡散層を形成し、ゲート電極を覆う層間絶縁膜を堆積する。平坦化された層間絶縁膜の所定領域にソース／ドレイン拡散層の基板表面を露出させるコンタクトホールを形成し、ソース／ドレインの電極を形成する。

【0005】

【発明が解決しようとする課題】上記のような、MOSFET のゲート酸化膜では、結晶性に関する欠陥の根本的な解消策とはならない。一般に、Si 単結晶基板を熱酸化してゲート酸化膜を形成する場合、必ず Si 単結晶中にある結晶欠陥がゲート酸化膜中に取り込まれるからである。

【0006】図 4 は従来の MOSFET のゲート酸化膜と Si 単結晶基板の概略を示す断面図である。Si 単結晶基板 41 中、表面付近に結晶欠陥 D F 1 がある。この Si 単結晶基板 41 を熱酸化しゲート酸化膜 42 を形成する。結晶欠陥 D F 1 のいくつかはゲート酸化膜 42 内に取りこまれ、ゲート酸化膜 42 中の欠陥 D F 2 となる。

【0007】このような欠陥 D F 2 を含むゲート酸化膜 42 上にゲート電極 (図示せず) を形成してトランジスタ素子 (図示せず) を構成すると、欠陥 D F 1 に沿った微小電流のリークによるトランジスタ素子の誤動作が懸念される。つまり、そのトランジスタ素子は、ゲート酸化膜 42 の適性膜厚の設定から大きくずれ、所望の特性が得られなくなってしまう。また、この欠陥 D F 2 が原因によって、長時間高電圧で使用後に突然ゲート酸化膜が破壊し、素子動作不能に陥る恐れもある。

【0008】本発明は上記事情を考慮してなされたもので、その課題は、ゲート酸化膜の結晶性に関する欠陥を主な原因とした素子特性の不安定性を解消する高品質のゲート酸化膜を有する MOS 型トランジスタ及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】本発明の MOS 型トランジスタは、半導体部材に形成された所定のチャネル領域と、前記チャネル領域を隔てて半導体部材に形成されたソース／ドレイン領域と、前記チャネル領域に前記ソー

ス/ドレイン領域とのチャネルを形成するための電圧が与えられるゲート電極と、前記ゲート電極と前記チャネル領域の間に形成されたゲート酸化膜とを具備し、前記ゲート酸化膜は、熱酸化膜とCVD酸化膜との組み合わせで構成されることを特徴とする。

【0010】本発明のMOS型トランジスタの製造方法は、半導体部材に形成されたソース/ドレイン領域を導通させるチャネル領域とゲート電極との間に設けられるゲート酸化膜に関し、600℃以上900℃以下の条件下でのCVD酸化膜を形成する工程と、前記CVD膜形成後に行う、このCVD酸化膜形成時よりも高温のアニール処理工程と、水蒸気雰囲気中で熱酸化膜を形成する工程とを具備したことを特徴とする。

【0011】本発明によれば、熱酸化膜に結晶性に関する欠陥が発生することになっても、熱酸化膜はCVD酸化膜に対して膜厚が薄く耐圧低下しにくい。また、CVD酸化膜形成後の高温のアニール処理工程と、水蒸気雰囲気による熱酸化膜の形成により、CVD酸化膜を高品質化する。

【0012】

【発明の実施の形態】図1は、本発明の第1の実施形態に係るMOSFETの要部の構成を示す断面図である。単結晶Siの基板11（例えばP型基板）上にLOCOS酸化膜（選択酸化による酸化膜）で構成される素子分離酸化膜12が形成されている。素子分離酸化膜12に囲まれた基板11上における所定のチャネル領域13上には組み合わせで構成のゲート酸化膜14を介してゲート電極15が形成されている。ゲート電極15両側の基板11上にはチャネル領域13を隔ててソース/ドレイン拡散層16（例えばN型の不純物拡散層）が形成されている。また、反転防止層17（例えばP型の不純物拡散層）が素子分離酸化膜12下に形成されている。

【0013】この実施形態では、ゲート酸化膜14は、熱酸化膜141、143とCVD酸化膜142の組み合わせで構成されている。このようなゲート酸化膜14の製法について以下説明する。

【0014】まず、素子分離酸化膜12に囲まれた基板11上に周知の熱酸化法により、熱酸化膜141を形成する。熱酸化膜141は例えば、HClガスを数%混入したO₂雰囲気中で1000℃以上（1200℃以下）で、所定時間加熱することにより形成する。

【0015】次に、熱酸化膜141上にCVD酸化膜142を形成する。CVD酸化膜142は、TEOS（Tetra Ethyl Orthosilicate）二酸化シリコン膜であり、有機系シランガス（Si（C₂H₅）₄O₄）を600℃以上900℃以下の高温で熱分解して生成する。または、SiH₄+N₂Oの反応ガスを用いて600℃以上900℃以下の条件下で形成した二酸化シリコン膜でもよい。

【0016】その後、N₂雰囲気中で略1000℃、20

分程度のアニール処理を行う。さらに、水蒸気雰囲気中で熱酸化を行って熱酸化膜143を形成し、再びN₂雰囲気中で略1000℃、20分程度のアニール処理を行う。

【0017】図2は、図1のゲート酸化膜14を拡大した概略を示す断面図である。ゲート酸化膜14の膜厚調整は、CVD酸化膜142とその後熱酸化を行なったときにできる熱酸化膜143の膜厚で調整できる。実質的に10nm～数百nmの広い範囲のゲート酸化膜の形成に対応できる。

【0018】図2において、最初の熱酸化膜141あるいはその後の熱酸化膜143形成時にSi基板11中の結晶欠陥DF1がゲート酸化膜14中に入り込んで欠陥DF2が発生することになっても、熱酸化膜141及び143自体の膜厚がCVD酸化膜142より薄いため、耐圧低下はほとんどみられない。

【0019】また、アニール処理してもCVD酸化膜142中には僅か欠陥DF3が存在すると考えられる。しかし、この欠陥DF3が熱酸化膜中の欠陥DF2と隣接する確率はゼロに近く、無視できる。従って、例えば長時間高電圧を印加してもゲート酸化膜が破壊されにくい。

【0020】上記実施形態によれば、本来熱酸化膜に比べて組成の粗いCVD酸化膜もアニール処理と水蒸気酸化を経て高品質化できる。これにより、比較的薄い熱酸化膜と比較的厚いCVD酸化膜との組み合わせで構成される高品質のゲート酸化膜が形成できる。

【0021】なお、本発明に係るゲート酸化膜は上記説明した単結晶Si基板上に構成されるMOSFETに限らず、多結晶SiやアモルファスSiをバルクとして用いるTFT（Thin Film Transistor）のゲート酸化膜の構成にも応用できる。

【0022】図3は、本発明の第2の実施形態に係る多結晶シリコンTFTの要部構成を示す断面図である。絶縁基板31上に例えばP型不純物がドーブされた多結晶Siの活性層32が形成され、活性層32の所定領域にN型のソース/ドレイン領域33が形成されている。ソース/ドレイン領域33の間のチャネル領域上にはゲート酸化膜34を介してゲート電極35が形成されている。

【0023】上記ゲート酸化膜34に関し、上記第1の実施形態と同様に、熱酸化膜341、343とCVD酸化膜342の組み合わせで構成されている。すなわち、上述のように、熱酸化膜341は最初に形成する周知の熱酸化法で形成したものであり、CVD酸化膜342はTEOS熱分解によるSiO₂膜でその後、形成時より高温のアニール処理工程を経る。また、熱酸化膜343は水蒸気による熱酸化により形成される。その後、ゲート酸化膜34は再びアニール処理工程を経て完成する。

【0024】なお、活性層32を構成する多結晶Siは、アモルファスSiで構成してもよい。このようなT

F Tを構成する実施形態においても、T F Tのゲート酸化膜として高品質が得られ、高信頼性の半導体製品の実現が期待できる。

【0025】以上各実施形態によれば、高温で形成したCVD酸化膜を、アニール処理工程と水蒸気雰囲気による熱酸化処理を経て高品質化する。この結果、熱酸化膜に結晶性に関する欠陥が発生することになっても、熱酸化膜はCVD酸化膜に対して膜厚が薄く耐圧低下はほとんどない。これにより、期待どおりのMOS FETの特性、T F Tの特性が高信頼性を伴って得られる。

【0026】

【発明の効果】以上説明したように、本発明によれば、熱酸化膜での欠陥の発生の影響を無視できるCVD酸化膜の高品質化の組み合わせ形成によって、ゲート酸化膜が高品質化される。これにより、MOS型トランジスタの耐圧低下の防止、特性の安定性が得られる。この結果、ゲート酸化膜の結晶性に関する欠陥を主な原因とした素子特性の不安定性を解消する高品質のゲート酸化膜を

有するMOS型トランジスタ及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るMOS FETの要部の構成を示す断面図である。

【図2】図1の構成におけるゲート酸化膜を拡大した概略を示す断面図である。

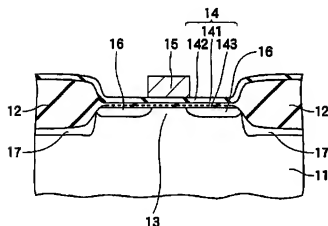
【図3】本発明の第2の実施形態に係る多結晶シリコンT F Tの要部構成を示す断面図である。

【図4】従来のMOS FETのゲート酸化膜とS i単結晶基板の概略を示す断面図である。

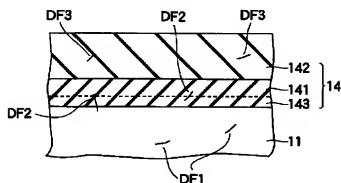
【符号の説明】

11…S i基板、12…素子分離絶縁膜、13…チャネル領域、14、34…ゲート酸化膜、141、143、341、343…熱酸化膜、142、342…CVD酸化膜、15、35…ゲート電極、16、33…ソース/ドレイン拡散層、17…反転防止層、31…絶縁基板、32…活性層。

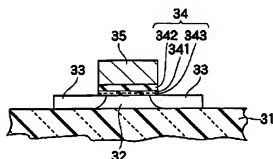
【図1】



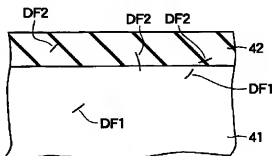
【図2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テーマコード* (参考)

H O 1 L 29/786

H O 1 L 29/78

6 1 7 V

21/336

F ターム (参考) 5F040 DA14 DA19 DC08 DC09 EB12

ED01 EK01 EK02

5F058 BA01 BD01 BD04 BF23 BF25

BF29 BF56 BF62 BF68 BH01

BH04 RJ01 RJ10

5F110 AA12 AA26 BB04 CC02 FF02

FF09 FF23 FF29 FF36 GG02

GG13 GG15